

ELECTRONIC STILL CAMERA UTILIZING IMAGE COMPRESSION AND DIGITAL STORAGE

Publication number: JP3506111 (T)

Publication date: 1991-12-26

Inventor(s):

Applicant(s):

Classification:

- **international:** *H04N5/225; G11C7/16; H04N1/21; H04N5/907; H04N7/26; H04N5/225; G11C7/00; H04N1/21; H04N5/907; H04N7/26; (IPC1-7): H04N5/225; H04N7/13*

- **European:** *G11C7/16; H04N1/21B3*

Application number: JP19900507598 19900509

Priority number(s): US19890349566 19890509

Also published as:

-  WO9013964 (A1)
-  US5016107 (A)
-  JP3109677 (B2)
-  EP0423309 (A1)
-  EP0423309 (B1)

[more >>](#)

Abstract not available for **JP 3506111 (T)**

.....
Data supplied from the **espacenet** database — Worldwide

Electronic still camera utilizing image compression and digital storage

Publication number: US5016107 (A)

Publication date: 1991-05-14

Inventor(s): SASSON STEVEN J [US]; HILLS ROBERT G [US] *

Applicant(s): EASTMAN KODAK CO [US] *

Classification:

- **international:** H04N5/225; G11C7/16; H04N1/21; H04N5/907; H04N7/26; H04N5/225; G11C7/00; H04N1/21; H04N5/907; H04N7/26; (IPC1-7): H04N5/225; H04N5/30

- **European:** G11C7/16; H04N1/21B3

Application number: US19890349566 19890509

Priority number(s): US19890349566 19890509

Also published as:

WO9013964 (A1)
JP3109677 (B2)
JP3506111 (T)
EP0423309 (A1)
EP0423309 (B1)

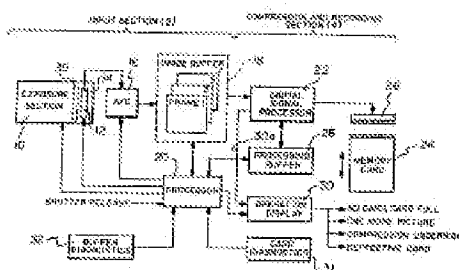
more >>

Cited documents:

US4130834 (A)
US4131919 (A)
US4302776 (A)
US4420773 (A)
US4456931 (A)

Abstract of US 5016107 (A)

An electronic still camera employs digital processing of image signals corresponding to a still image and storage of the processed image signals in a removable static random access memory card. An image sensor is exposed to image light and the resultant analog image information is converted to digital image signals. A control processor controls the exposure section and the A/D converter, delivering digital signals to a multi-image buffer at a rate commensurate with normal operation of the camera. A digital processor operates on the stored digital signals, transforming blocks of the digital signals and encoding the signals into a compressed stream of processed image signals, which are downloaded to the memory card. The digital processor operates at a throughput rate different than the input rate for better image capture and optimum utilization of the camera.



Data supplied from the **espacenet** database — Worldwide

⑬ 公表 平成3年(1991)12月26日

⑭ Int. Cl.² 分類記号 序内整理番号 審査請求 未請求
H 04 N 5/225 Z 8942-5C 予備審査請求 未請求
7/13 Z 6957-5C 部門(区分) 7(3)

(全 6 頁)

⑮ 発明の名称 画像圧縮及びデジタル記憶を利用した電子スチルカメラ

⑯ 特 願 平2-507596 ⑰ 願文提出日 平3(1991)1月4日
⑱ 出 願 平2(1990)5月9日 ⑲ 国際出願 PCT/US90/02569
⑳ 国際公開番号 WO90/13964
㉑ 国際公開日 平2(1990)11月15日

優先権主張 ㉒ 1989年5月9日 ㉓ 米国(U S) ㉔ 349,566

⑵ 発 明 者 サツソン、ステイーヴン・ジェ アメリカ合衆国ニューヨーク州14168、ヒルトン、ケアフリー・レ
イ ーン 12
⑶ 発 明 者 ヒルズ、ロバート・ジョー アメリカ合衆国ニューヨーク州14559、スペンサーボート、クリ
ス・ヒル・ドライブ 33
⑷ 出 願 人 イーストマン・コダック・カン アメリカ合衆国ニューヨーク州14650、ロチエスター、ステート・
パニー ストリート 343
⑸ 代 理 人 弁理士 湯浅 恭三 外4名
⑹ 指 定 国 A T(広域特許), B E(広域特許), C A, C H(広域特許), D E(広域特許), D K(広域特許), E S(広域特
許), F R(広域特許), G B(広域特許), I T(広域特許), J P, L U(広域特許), N L(広域特許), S E(広域
特許)

図示の範囲

1. 静止画像に対応する画像信号のデジタル処理及び処理済み画像信号の取
外し可能なデジタル記憶装置(24)における記憶を利用しており、且つ画像の画
素に対応する二次元配列のホトサイトを有する画像イメージセンサ(10)、前記の
センサ(10)を画像光に露光させてそれぞれのホトサイトにおいてアナログ画像信
号が発生されるようにするための装置(11)、このアナログ画像信号を直接に対応
するデジタル画像信号に変換するための装置(16)を備えている電子静止画像化
装置であって、

複数の静止画像に対応するデジタル画像信号を記憶するための記憶装置を持
った画像バッファ(18)、

作用者の指令に応答して前記の露光装置(11)の動作を開始すること、前記のセ
ンサ(10)から画像信号をクロックすること、前記の変換装置(16)を制御して前記
のデジタル信号を前記の画像バッファ(18)に供給するようにすること、である
制御処理装置(20)であって、前記の複数の静止画像に対応するデジタル画像信
号を画像化装置の正常動作と釣り合った入力レートで前記の画像バッファへロ
ードする前記の制御処理装置、

前記の入力レートとは異なった処理スループットレートで記憶デジタル画像
信号のブロックについて動作することのできるデジタル処理装置(22)であって、
デジタル画像信号のブロックを複数の記憶信号に対応する集合に変換すること、
且つ変換後信号を処理済みデジタル画像信号の圧縮された流れへと符号化す
るための装置を備えている前記のデジタル処理装置(22)、及び

前記のデジタル処理装置(22)に接続して処理済み画像信号を前記の取外し可能な
デジタル記憶装置(24)へダウンロードすることのできる装置(26)、

によって特徴づけられている前記の画像化装置、

2. 前記の制御処理装置(20)が前記の画像バッファの残りの記憶容量を監視す
るための装置(32)を備えている、請求項1に記載の装置、

3. 前記の制御処理装置(20)が、前記のバッファが完全にロードされたときに
バッファ一杯信号を供給することのできる装置(30)を備えている、請求項1に記載
の装置、

4. 前記の制御処理装置(20)が、前記のバッファ一杯信号に応じて前記の露
光装置を遮断し且つ前記の画像センサの異なる露光を阻止することのできる装置
を備えている、請求項1に記載の装置、

5. 視覚表示器(36)を更に備えており、且つ前記の制御処理装置(20)が前記の
バッファ一杯信号の発生に応じて前記の視覚表示器を消滅化する、請求項1に記載
の装置、

6. 前記のデジタル処理装置(22)が更に処理バッファ(28)を備えていて、前
記の画像バッファ(18)が完全にロードされる前に前記のデジタル処理装置がデ
ジタル画像信号のブロックについて動作して前記の処理の中間生成物を前記の
処理バッファ(28)に記憶し、従って新しい静止画像の異なる記憶のために前記の
画像バッファ(18)において記憶空間が空にされるようになっている、請求項1に
記載の装置、

7. 前記のデジタル処理装置(22)が、圧縮アルゴリズムが動作しているとき
を示す動作信号を発生する、請求項1に記載の装置、

8. 視覚表示器(36)を更に備えており、且つ前記の制御処理装置(20)が前記の
動作信号の状態に応じて前記の視覚表示器を活動化する、請求項1に記載の装置、

9. 前記のデジタル処理装置(22)がデジタル画像信号を複数の段において
圧縮し、これの一つの段(52)が画像信号のブロックにおける複数の連続受検の機
能を備えており且つもう一つの段(53)が変換された画像信号の最小冗長度符号比
を含んでいる、請求項1に記載の装置、

10. 前記の制御処理装置(20)が取外し可能なデジタル記憶装置を複数又は欠陥に
ついて検査するための検出装置(34)を備えている、請求項1に記載の装置、

11. 前記の制御処理装置(20)が、取外し可能なデジタル記憶装置(24)が前記
の検出装置(34)により検出された検査に不適合となったときに以降に次のロード
信号を与えるための装置(30)を備えている、請求項1に記載の装置、

12. 前記の画像イメージセンサが、前記のホトサイトに整列した多数パターン
を有し且つ強度を成す一つの像を含んでいる像フィールド配列(40)を備えており、
且つ前記のデジタル処理装置(22)がブロック圧縮の全長に少なくとも強度成分
を抽出し且つ抽出された信号を含むデジタル信号の各ブロックを変換する、請

技術的分野

この発明は一般に電子的静止画像化の分野に、更に詳細には、電子式イメージセンサから得られた画像信号のデジタル処理、及び処理済信号の取外し可能な記憶媒体におけるデジタル記憶を取り入れた電子カメラに関連している。

背景技術

デジタル画像信号の格入記憶を使用した電子ステルカメラが米国特許第4,489,331号に記載されている。三つの電圧結合素子(CCB)イメージセンサからのアナログカラー情報はデジタルビット流に変換されて順次記憶装置にデータバスを通して順次巡回記憶装置に送られる。この記憶装置は、電気コネクタによりカメラ本体に分離可能に取り付けられた「カセット」の筐体に入れられた多くの、例えば24の記憶ユニットのうちの一つのユニットである。高品質のデジタル画像を得るためには、多くの画素、従ってデジタル情報の多くのビットが短時間に処理されなければならない。スミタ・ハシグチによる「デジタル電子ステルカメラの可能性」(「ジョン・コーガタ」1988年2月、130〜131ページ所載)と題する論文(an article entitled "Possibilities of the Digital Electronic Still Camera", by Sumitaka Hashiguchi (Shashika Hashiguchi, op. 110〜111, February 1988))において、著者は、それぞれの場におけるセンサ、アナログデジタル(A/D)変換器、及びビットパツパ記憶セルからなる多層画像処理装置の構造を提案している。順次の画素からの出力信号はA/D変換器を逐次して送られた記憶セルに「逐次」に転送されるので、高速処理を待たないで実時間処理が可能となる。記憶された信号は小形フロッピディスクを組み込んだ記憶装置に記録されている。ことによると正解後に、デジタル記憶を行うために押さくりと読み出されることがある。(デジタル複製式電子ステルカメラの別の例は公表された米国特許出願第2,089,916号に記載されており、これにおいてはカメラはデジタル画像信号をバブルメモリカセットへロードする、)

グレンジカードの大きさ及び形式の静的等価型記憶装置(SRAM)カードは

表1に記載の通り。

13. 前記のデジタル処理装置が、画像の静止画像に対応するデジタル信号の前記のパツパ(10)への入力に関係なく最初の前記記憶体からの記憶デジタル信号について動作するために前記のパツパ(10)に接続されている、請求項12に記載の装置。

14. 前記の制御装置が前記の前記の画像信号パツパ(10)に属している記憶空間に属して前記の画像信号(10)を逐次的に不活化し又再活性化する、請求項13に記載の装置。

15. 静止画像に対応する画像信号のデジタル処理及び処理済画像信号の取外し可能なデジタル記憶装置(10)における記憶を使用しており、且つ画像の画素に前記の二次元配列のホトリイトを有する面積イメージセンサ(12)、前記のセンサ(12)を画像化に露光させてそれぞれのホトリイトからアナログ画像信号が得られるようにするための装置、及びアナログ画像信号をデジタル画像信号に変換するためのA/D変換器(10)を備えている電子静止画像化装置であって、

デジタル画像信号を圧縮アルゴリズムにより処理するための且つ画像の性質に依存する可変ビット長を有する圧縮情報の流れを生成するためのデジタル処理装置(22)であって、前記の取外し可能なデジタル記憶装置(10)における可変長記憶空間を各画像に対して割り当てる前記の処理装置(22)、及び

圧縮信号を割り当て画像空間へダウンロードし、これにより、連続した記憶空間が各画像の位置に依存して異なることができるようにするための装置(24)

によって特徴づけられている前記の画像化装置。

16. 前記の取外し可能なデジタル記憶装置(10)における取りの未使用の記憶空間が一層に少なくとも一つの異なる静止画像のために必要な記憶空間に対応しているときに警告信号を発生するための装置(32)を更に備えている、請求項15に記載の装置。

17. 表示装置(30)、及び前記の警告信号の状態に従って前記の表示装置を活動化するための装置を更に備えている、請求項16に記載の装置。

上述の開示において記載された装置に代わる魅力的な記憶装置である。例えば、公表された欧州特許出願第2,089,914号はデジタル電子ステルカメラにおける使用のための数種可能なSRAMジュールを示している。このモジュールは32Mビット(4Mバイト)のSRAM回路素子として開示されたが、しかしカードにおけるこのような記憶装置はこの時点においては一般に利用可能ではない。512KバイトSRAMカードが現在利用可能である(ミツビシ・エレクトロニクス・アメリカ社(Mitsubishi Electronics America, Inc.)が供給者である)。しかしながら、スミタ・ハシグチ(Sumitaka Hashiguchi)による論文(「画像記録と電力消費量」エレクトロニクス・エー・エー、1988年4月、84〜90ページ所載("Picture Recording and Electric Power Consumption," Shashika Hashiguchi, op. 94〜95, April 1988))における指摘されたように、記憶量についての重要な問題がある。例えば、CCDイメージセンサからの1000×800画素を記録する場合、各画素に8ビットを割り当てると、ただ一つの単色ビデオフレームについて384,000バイトが必要とされる。これは実質上(512Kバイトの)メモリカードにおけるただ一つの画像に相当する。これは、ステルカメラが通常のフィルムの一つのカセットで多くの写真、例えば24又は36の写真を得るために使用されるので、相当な障害である。更に、カラー写真は単色写真の記憶容量の3倍を必要とするであろう。

動的等価型記憶装置(DRAM)は通常の体積でより多くの記憶量を提供するが、電力消費量が記憶容量の増大と共に急速に増加する。ハングチの論文はそれゆえに1又は1.6の因数による画像情報の圧縮に寄与した記憶の新しい技法の開発を要求する。ハングチが指摘しているように、いくつかの画像圧縮技法が現在利用可能である。例えば、前述の欧州特許出願第2,089,914号は、信号処理装置がデジタル変換、乗算変換又は逆変換のようなデータ圧縮、及びビデオ信号における符号化を行うように構成され、そしてこのように処理された信号が離れた可能なSRAMカードに転送されて記憶されるようになっている実施例を提案している。(1987年12月26日に発せられた米国特許第4,819,919号がデジタル静止画像信号を電気テープにより効率的に記録するために圧縮及び/又はチャネル符号化方式の使用を提案していることも又関心のあることである。)通常の定

パルス符号変換は静止画像を符号化するための別の種類の圧縮アルゴリズムである。

カメラ内デジタル処理のための基本的構造は通常は普通のアナログカメラに基づいており、デジタル処理技法は色分解、白色バランス、ガンマ補正などのような典型的アナログブロックに前記される。この通常の配置は、カメラ内デジタル処理が、できるかぎり、イメージに迅速に接近し、結果として生じる画像信号を処理し、そして処理済画像信号を正確のビデオフレームレートの範囲内で記憶装置に書き込むことによって実時間アナログ処理レートを実現しようと努めるので、長時間処理に達する。(もっとも、前述の1988年2月の「ジョン・コーガタ」の論文、米国特許第4,489,331号、及び米国特許出願第2,089,916号においては、装置又はその他の関係のために多くの場合画像処理レート未満である所望のレートでの画像データの記憶装置への伝送を可能にするためにパツパ又は一時的記憶装置が準備されている。)それにもかかわらず、ハングチの論文によって容認されているように、利用可能な技術は電子ステルカメラにより必要とされるような実時間処理のための要件をも又単にカメラに搭載ハードウェアを含めるための要件をも十分に満たさない。

発明の開示

利用可能な技術の問題は実時間処理量がその焦点である。この発明はカメラの入力機能を処理機能と区別し、一方で単独の静止画像からの画像信号がカメラの正常動作と釣り合ったレートで蓄積し、且つ此方では、蓄積した画像信号が蓄積レートとは異なる処理レートでデジタル的に処理されるようにすることによって、この焦点から外れる。

従来の技法は速度にその焦点があるために、差分パルス符号変換(DPCM)のような、極めて高速度でデータ流を処理することの可能な一方向圧縮技法を導く傾向があるだけでなく、又一度に一つの画像について処理を行うことに焦点を合わせる傾向がある。多数の入力パツパを準備し且つデジタル処理を入力要件から分離することによって、デジタル処理装置は画像信号のブロックについて動作し、特に符号のブロックの記憶符号化について動作するにより多くの時間を有するだけでなく、又入力パツパにおける画像の「種別」を拒否すること

くそのような処理状態を獲得する。この発明は更に、取外し可能なデジタル記録装置、例えば磁気メモリーカードを利用して、圧縮された画像信号を記憶する。例えば、10:1の圧縮により、画像に対するバイト必要量は1/10の図数によって低減されることができ、従ってより多くの画像をメモリーカードに記憶することができる。

図面の簡単な説明

この発明は図面に就いて説明されるが、この図面中、

- 図1 Aはこの発明によるデジタル記録装置を使用した電子スチルカメラの構成図であり、
 図1 Bはこの発明に関連して使用される例示的形式の画像圧縮の構成図であり、
 図2 Aは多画素入力バッファリングを示した概念的順序図であり、
 図2 Bは入力バッファ及び計数した遅延器の完全利用を示した異なる概念的順序図であり、
 図3は電子スチルカメラのための特定の処理アーキテクチャの詳細を示した構成図であり、
 図4 Aは図1 Aのカメラで撮られた写真を表示する際に使用される電子スチルプレーナの構成図であり、又
 図4 Bは図4 Aのプレーナに関連して使用される例示的形式の画像伸長の構成図である。

発明を組織する上での背景と方法

電荷結合素子 (CCD) センサを使用した電子スチルカメラは周知であるので、この説明は特に、この発明による装置の一部を形成し、又はこの装置とより直接的に共通する諸要素に向けられる。ここで明確に図示され又は説明されない要素は技術と周知のものから選択されることができ、

最初に図1 A及び1 Bに示されると、電子スチルカメラは概念的に入力部分2及び記録・記録部分4に分けられている。入力部分2には結露体 (図示されていない) からの画像光をイメージセンサ12の方へ導くための露光部分10がある。図示されていないけれども、露光部分10には光学的開口を調節する絞り、及び露光時間を調整するシャッタを通して画像光を導くための通常の光学系がある。

圧縮及び関係の処理は通常微処理にわたって行われるので、処理アルゴリズムの中間生成物は記憶バッファ28に記憶される。(記憶バッファ28も又画像バッファ18の記憶空間の一部かとして構成されることができ。) デジタル処理が始められる際に画像バッファ18において必要とされる画像信号の数は処理の種類に依存する。すなわち、ブロック調整を始めるためには、ビデオフレームを構成する画像信号の少なくとも一部分を含む信号のブロックが利用可能でなければならない。従って、大抵の場合においては、必要なブロック、16×16画素のブロックがバッファ18に存在するか否かを監視は施されることが出来る。

入力部分2はカメラの正常動作と釣り合ったレートで動作するが、より多くの時間を消費する露光は入力レートとは相対的にかけられることができる。露光部分10は露光要素に依存した時間、例えば1/100秒と表秒との間の時間、の間センサ12を画像光に露光させる。画像電荷は次にセンサ12におけるホリサイトから運び去られ、デジタル形式に読取られ、そして、例えば画像ビデオフィールド又はフレームレートに一致するような標準レートの間で画像バッファ18へ書き込まれる。例外的遅延装置20によりセンサ12、16/18変換器16及びバッファ18は供給される駆動信号の繰返し率にそれに応じてそのような転送を達成するように発生される。圧縮・記録部分4の処理スループットレートは画像の性質、すなわち細粒材元長情報の高、及びデジタル信号処理装置22の速度、によって決定され、特に複雑な画像に対しては数秒までを要することがある。

このアーキテクチャの一つの望ましい結果は、圧縮・記録部分に使用された処理アルゴリズムが処理量速達に對してではなく画像の品質処理に對して選択されることである。これは、もちろん、写真撮影時間の間に存在して、使用者に影響を及ぼすかもしれない連続した写真間の通信を入れることである。停止ビデオ記録の分野ではデジタルスチルカメラが連続した系列の画像に対する連続的撮影能力を減るべきであることは周知であり且つ理解されているので、それは問題である。この理由のために、図1に示された画像バッファ18は複数の画像の記憶の準備をしておき、実質的に一連の画像がビデオレートで「読み書き」することを可能にする。バッファの大きさは大抵の写真撮影状況を包含するために十分な連続した画像を保持するように確立されている。図2 A及び2 Bは三つの別別

センサ12は、画像の画像に對するホリサイトの二次元配列を備えたものである。周知のインタライン (縦間) 転送又はフレーム転送技術を用いた通常の電荷結合素子 (CCD) である。センサ12は画像光に露光させられ、従ってアナログ画像電荷情報(それぞれにホリサイトにおいて発生される。この電荷情報は出力ダイオード14に加えられる。そしてこのダイオードは電荷情報をそれぞれの画像に對するアナログ画像信号に変換する。このアナログ画像信号は16/18変換器16に加えられる。そしてこの変換器は各要素に對するアナログ入力信号からデジタル画像信号を発生する。

デジタル信号は画像バッファ18に加えられるが、これは複数の静止画像のための記憶容量を持った遅延時間記憶装置 (RAM) である。画像バッファ18における記憶空間を複数のフレームに割り当てるための構成は変化するすることができる。しかもながら、この説明のために、フレームは、新しいフレームがバッファにおける他のフレームに影響を及ぼすことなく古いフレームの上に直接書き込まれるような特定の固定可能な記憶空間に割り当てられる。これは、後記示されるように、古い方のフレームが処理されるか否か新しいフレームのためにバッファ18をアンロードし且つ記憶空間を空にするのに好都合になる。

制御処理装置20は、(露光部分10における絞り及びシャッタ (図示されていない) の操作により) 露光を開始し且つ制御することによって、センサ12を駆動し且つこれから画像情報をクロックするために必要とされる水平及び垂直クロックを発生することによって、且つ画像に對する非信号区分に對して画像バッファ18と関連して16/18変換器を可能化することによってカメラの入力部分2を全般的に制御する。(制御処理装置20はシステムタイミング回路と結合されたマイクロプロセッサを通常備えているであろう。) 異なる数のデジタル画像信号が画像バッファ18に記憶されると、記憶された信号はデジタル信号処理装置22に加えられる。そしてこれはカメラの圧縮記録部分4に對する処理量 (スループット) 処理レートを増加する。処理装置22は圧縮アルゴリズムをデジタル画像信号に適用し、そして圧縮された信号をコネクタ24経由で外部に可能なメモリーカード24に送る。代表的なメモリーカードは三菱電機社 (Mitsubishi Corp) から入手可能な1/2 Mバイトの準同期転送型記憶装置 (SRAM) である。

の画像に對するバッファ区域を持ったカメラについての典型的な種別的順序を示している。各画像が読取されると (線 D)、次の利用可能なバッファ区域がロードされ (線 E) 且つ画像圧縮が始まる (線 F)。図2 Aはシャッタリリース (線 C) が三つすべてのバッファ区域をロードするのに不十分な露光された時点で操作されている典型的な状況を図解している。図2 Bにおいて、シャッタリリースは連続的に保持され (線 C)、そして露光のバーストが後に続く。三つのバッファ区域は迅速にロードされ (線 D)、そしてバッファ全容量 (線 H) に到達して制御処理装置20は露光部分10を遮断する。それでバッファが空にされるまで異なる画像は記憶されない。例えば、線 E及び Fにおいて、1番目の画像が圧縮されてカード24に転送された後、1番目のバッファ区域が空にされ、そして4番目の露光が付けられる。

動作表示装置30はカメラの動作に有用な情報を表示するために制御処理装置20に接続されている。そのような情報は典型的な写真データ、例えばシャッタ速度、開口、露光値、カラーバランス (白点、タンデム、色、色、色)、フィールド/フレーム、電圧低下、光量不足、露光モード (絞り優先、シャッタ優先) などを含んでいるかもしれない。更に、この形式のカメラに独特の他の情報が表示される。例えば、メモリーカード24は各記憶画像の始め及び終わりを示す登録線を通じて含んでいるであろう。これは、記憶された画像の数又は残っている若しくは残っていないと決定される画像空間の数、又はこれらの両方として表示装置30上に示されるであろう。

制御装置20は又メモリーカード24の状態についての重要な情報を追跡するためにカード診断記憶装置31にアクセスする。明確には、コネクタ24はカード24の存在について質問され、そしてカードが接続されていないならば、動作表示装置31上に「カードなし」表示が生成される。同時に、カードが存在しているが画像で一様であるならば、「カード一様」表示が生成される。カード診断記憶装置31は又故障又は故障についてカード24を検査するための確認ルーチンを準備している。例えば、記憶場所を確認するために一組の符号パターン (例えば、0101011及び1010101010101010) をカードへ書き込み、又カードから読み取ることができる。これは、圧縮データがカード24に記憶されており且つ二つの

特表平3-506111(4)

欠陥記憶画面で与えられた画像において大規模な可視アーティファクトを生成することがあるので、特に重要である。モード 2 が確認試験で不適合点を認めたならば、動作基準を設定し、次に「欠陥モード」表示が生成される。

映像バッファ 18 の状態についてある種の情報を出力するために記憶装置 19 にバッファ制御が実行されている。この主要な目的は、バッファ空間の利用状態を監視して、図 28 の図表に示されるように、もはやバッファ空間が利用できないときには「バッファ一杯」警告を生成することである。表示装置 20 にはそれに対応する表示が生成されるが、これは、バッファ空間が空になるまで更新の監視を継続することがないので、使用者にとって重要である。デジタル信号処理装置 21 は更に、線 30 における圧縮動作を示す信号、すなわち圧縮が進行中であることを示す圧縮動作発生装置 30 に供給される。それに対応する表示、「圧縮進行中」が表示装置 30 によって活動化される。

ディジタル信号処理装置とは図10に示された契約の画圧縮アルゴリズムに従って画像バッファ18に記憶された各静止ビデオ画像を圧縮する。画圧アルゴリズムは画像データの各画素ブロックの群数の余剰変換(ブロック33)から始まって、余剰変換係数の対応するブロックが生成される。同知のことであるが、圧縮技術は離散的な余剰変換アルゴリズムに従って既に生成されている画像データに適用されたときには等しい高められる。余剰変換係数は次に、1999年5月20日はロッシュ(Rosch)社に特許され、この発明の優先性に請求されたものである。この特許出願に引用される米国特許4772956「二重ブロック静止ビデオ圧縮器処理装置(Dual Block Split Video Compressor Processor)」に記載された且つ開示されたブロック一列列処理階層(ブロック34)によって行列順序に再配列される。このブロック一列列処理階層は断続的な変換係数に増大する空間周波数の順序に配列することからなっており、これはロッシュ社の特許に開示されたジグザグパターンに類似している。結果として生じる変換係数の直列ストリングは次に小さい値順に、正規化及び量子化(ブロック36)並びに最小冗長符号化(ブロック38)を受ける。

しさい証設定はしさい値数乗名の火きまのデータ部を捨てる。正規化は等データ部を除却で計算して商を与えることを必然的に伴う。最小亢然算考化は従来

技術において周知の技法であって、二つの増補の段階、すなわち誤差符号化及びラン長符号化を使用する。最長符号化（又は「ハフマン符号化」）は符号長表現のために最少数のビットを必要とするように設計された第2ビットパターンを有する元の可能な段階のそれぞれに割り当て、ラン長符号化はデータにおける情報の連続したランをこのランにおける0の数を計数するために必要とする最少非ゼロビットパターンとして実装する。可能な階層構造のそれぞれを最長ビットパターンの集合及び可能なラン長のそれぞれを第2ビットパターンの集合は周知の原理に従って選択されて、圧縮過程中における使用のために探索家に記憶されることが出来る。この圧縮技術は標準品表における従来法と異なることなく、禁止データ情報のフレームを直すために必要とされるビットの数を大いに減少させ、これにより、SRANDワード16において多増止フレームに割り当てられなければならない記憶の量を大いに低減する。

画像バッファ１に記憶された映像の静止ビデオデータはサンプリング面素の方法で、すなわち、各ブロックが約１/8秒及び１/16秒のペラトからなっている正方向ブロックのバイトへ分割可能な（対応する要素を表す）並列及び水平方向ビデオデータバイトにおいて構成されている。初動処理装置２はデジタル信号処理装置２が圧縮アルゴリズムを実行しようとするたびごとにデータのブロックを取り出す。圧縮回路は各ブロックのビデオデータに含まれた多くのビットを除去し、従って残されたビデオデータは処理装置２からデータ長の残りのビットを必要とする。画像の正確な品質及びビットを切り捨てたために使用された規則に依存した可変数のビットとして現れる。それゆえSPARCカード２において各画像に対して割り当てられた記憶空間は画像ごとに異なることができる。従って、処理装置２は画像のための各圧縮順序が完了された後にSPARCカード２における記憶空間を割り当て、調整を前画像データの選択体としてロードへの開始される」ことができるようにする。これはSPARCカードの、実際の画像に照しての記憶装置が初めて用化される。それから写真が暗されてコードが「暗たされる」につれて徐々に明視化され、それを意味する、初動処理装置２は画像の異なる観照して現れる統計を順次表裏順１に開始し、そして更に順次の記憶空間が所定数の、例えばもう一つの画像のために十分であるときに特別のもう一つ

の「写真」表示をトリガする。別の方法として、Scanカード24において各画像に対して固定した「最大の」空間を割り当てることもできる。この場合には、全容量が常に知られているけれども、より少ない画像を記憶することが可能。

これまでに使用された事例は、カラー写真が付加的な処理を必要とすることを断り、単色又はカラー写真に対して等しく適用される。例えば、(図14に破線で示された)多スペクトル色フィルタ配列がイメージセンシ12の上に置かれているならば、種種の色が付与され且つ色について別個に処理される。これはデジタル信号処理装置22において付加的なルーチンによって行われ果であろう。そのような色フィルタ配列処理は両面回路が各色について個別に行われ得るように駆動回路駆動ボラツク98(図18)に発行することになり且つ三つの巨細されたフレームはメモリカード24において各画像に対して記憶されることになるであろう。

図3は画像バッファ3と4が図1に示された画像バッファ1及び処理バッファ2との接続を無効化した時の処理アーキテクチャの詳細を説明している。イメージセンサ2の出力データ1から4のアナログ信号は通常の構成—ガンマ補正回路74においてガンマ補正されて、A/D変換器18に加えらる。A/D変換器18の出力はラッチ76a, 76b, 76c及び76dからなる8ビット—32ビット—ラッチ配列76に接続されている。実際には、ラッチ配列76は時刻同期を節約するために二重バッファ動作を行う。すなわち、ラッチされたバイトは、次のように、32ビットデータワード毎22により処理装置22へ所でダウンロードされる。ラッチ76a及び76bがA/D変換器18によって与えられた最初の二つのバイトをロードされた後、ラッチされたバイトは並列にデータ母線22に加えらる。その際に、他の二つのラッチ76c及び76dは次の二つのバイトをロードされている。ラッチ76c及び76dが一杯になると、ラッチされたバイトは並列に人力データ母線22にに加えられ、その間他のラッチ76aおよび76bは新しいバイトをワードされている。

それでは、このアーキテクチャにおいては、デジタル信号処理速度28に、
圧縮に先立って対の入力バイトを標準出力記憶装置(RAM)78a、78b、
78cおよび78dからなる四重バッファ39に転送するという初期動作を待って

いる。バイトの記憶装置への割当てに関して、RAN 7 8 a はラッチ 7 8 a から、RAN 7 8 b はラッチ 7 8 b から（以下同様）データを受ける。デジタル信号処理装置 2 2 は RAN 7 8 a ~ 7 8 d に接続されたアドレス選択 2 2 a 上にアドレス線を生成する。このアドレス番号はアドレスラッチ 8 8 に選択可能量やアドレス線の一部分は両端バック・RAN 7 8 a ~ 7 8 d の適当なチップ可変化ポートを活性化するために復号器 8 8 において復号化される。図 3 に示されたように、バック 39 は別のバイトがラッチ 7 8 c において復号化されることに対応するように RAN 7 8 a ~ 7 8 d の対において同位化される。

図3の実施例はデジタル処理装置22のための内部の持久記憶装置を備えていない。従って、カメラのための動作プログラム符号は制御処理装置20のアドレス及びデータ母線に接続されたプログラム母線42と制御装置(FROM)84に記憶される。これらの母線は又それぞれのバッファ28及び30を通してデジタル処理装置22の出力アドレス母線22c及び出力データ母線22dに接続されてい。制御処理装置20はデジタル処理装置22の動作のための必要に応じて動作プログラムの一部分をFROM84から画像バッファ33にダウンロードする。例えば、ジャグリング73が押し下げられて箱73aが運動化される時、制御処理装置20はデータ獲得符号をデータ母線22dにより画像バッファ33における指定の場所へダウンロードする。次に該当するアドレス箱が制御処理装置20によってアドレス母線22cに加えられ、そして動作符号がデジタル処理装置22における実行記憶装置へ書き送られる。それで処理装置22は初来画像バートをタッチ配列75へラッチし互つたバイトを画像バッファ33に転送する準備ができてい。

静止不変のすべての両面バイトが連続バッファ39にあるときには、初期処理装置20は断片的な弦交換のための動作符号をPROB4から両面バッファ8に付けて指定された未使用の陪位空間へダウンロードする。NCT符号は対応位置32の弾性記憶装置へ書き込まれ、そして断片的な弦交換は両面バッファにおける両面バイトのブロックについて行われる。各ブロックが認識された後に、距離係数は両面バッファ38へ書き込まれる。断片処理装置21は次にブロックへ直列に変換のための動作符号と同様の方法でダウンロードし、変換が行われ、そして

列ストリングがバッファへ書き込まれる。次に、しきい値設定、正規化及び量子化のための符号が選択の方法でダウンロードされ、処理が行われて処理済みデータが記憶され、そして最小反復率符号化のための符号がダウンロードされて反復及びラン長符号化が行われる。選択データが今ではその最終的に圧縮された形式になっていて、圧縮データをもう一度バッファ39へ書き込む代わりに、圧縮データは直接メモリアード24へ書き込まれる。動作符号をPROM24に記憶し且つ必要に応じてその一部分をダウンロードする上述の技法は処理装置22に利用の、高速の、従って高価な読み記憶装置の必要性を減降している。

メモリアード24に圧縮形式に記憶されたデジタル画像信号から写真を再現するための又はヘッドコピーアプリントを作成するための静止ビデオプレーヤの簡略化された構成図が図48に示されている。カード24がビデオ100へ挿入されて、デジタル信号はアクセスされ且つ伸張路102において処理される。伸長アルゴリズムは、基本的には図18の圧縮アルゴリズムの逆であって、図48に示されており、伸張路102によって実現される。デジタル画像データはブロックごとに伸長されて、圧縮解除画像として画像バッファ104に記憶される。圧縮解除画像からハーフコピー熱形アプリントを作成するためにハッファ106に通常の熱形プリント108が接続されている。更に、圧縮解除画像信号はデジタル-アナログ(D/A)変換器110によってアナログ形式に変換され、そして通常のCRTモニタ112上に表示される。

この発明は従来技術の従前例に特に言及して詳細に説明されたが、この発明の精神及び範囲内において種種の発明及び変更が行われ得ることは理解されるであろう。

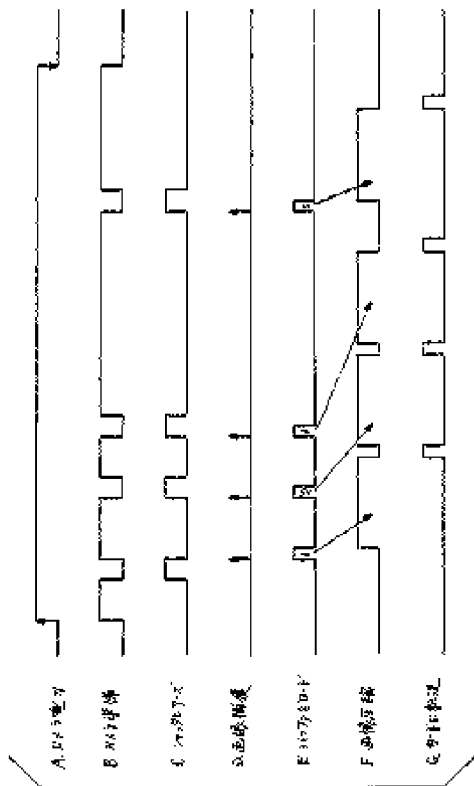
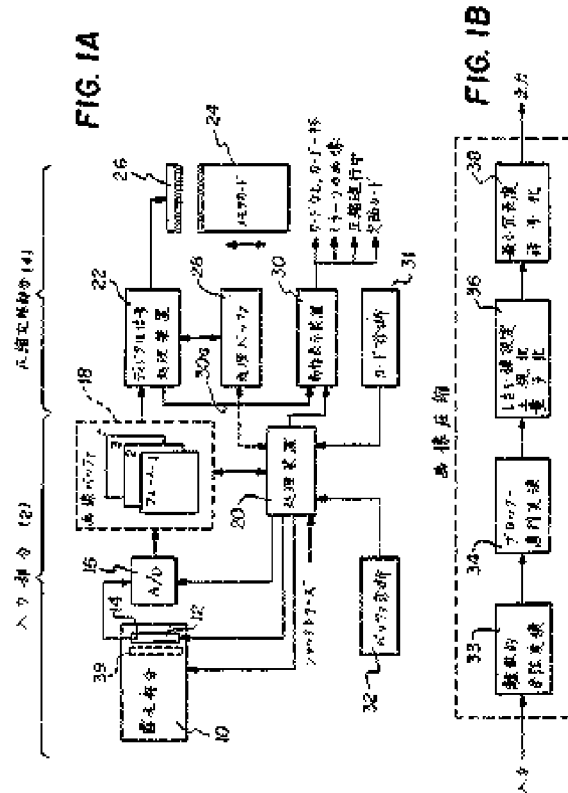


FIG. 2A

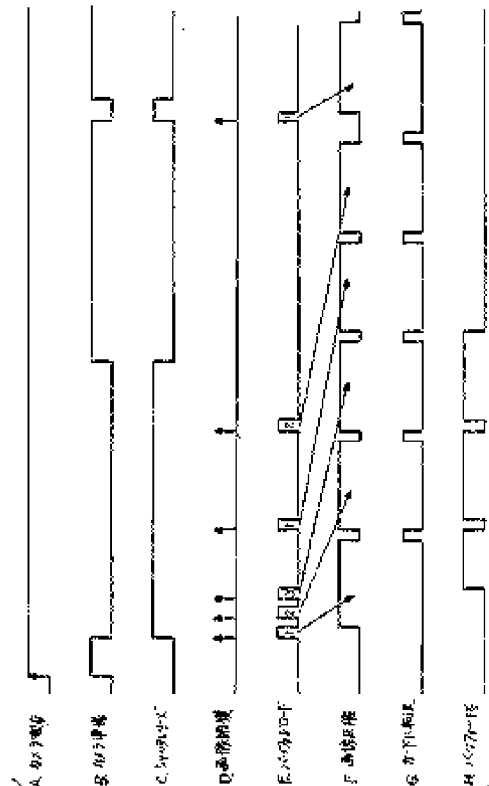
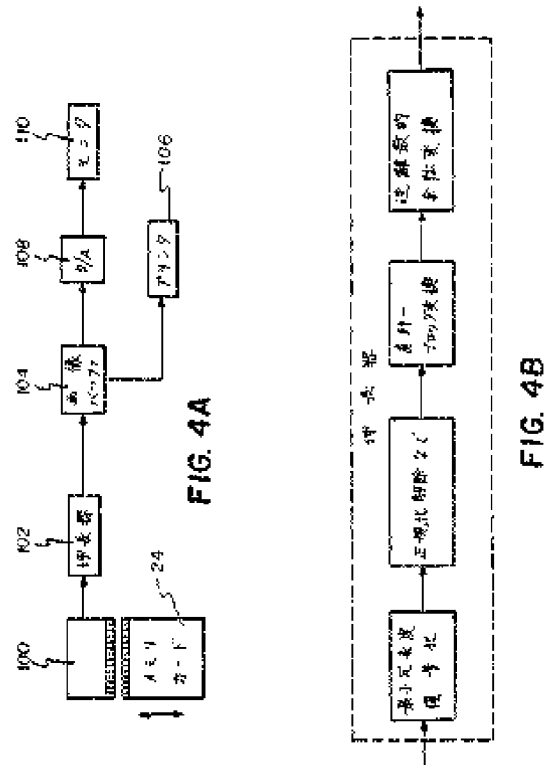
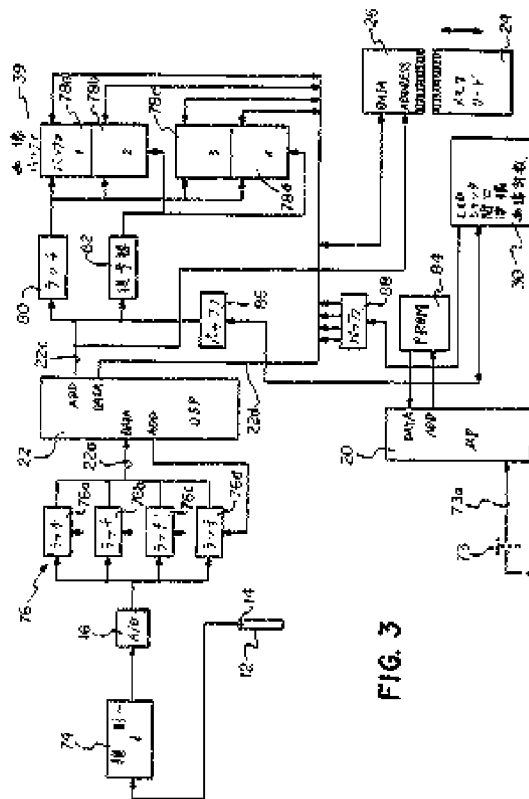


FIG. 2B



臨 海 關 主 輪 船

PCP/109 90:02665

[illegible]

國際金帛展

US 9002569
SA 37046

This document contains neither recommendations nor conclusions of the FBI. It is the property of the FBI and is loaned to your agency; it and its contents are not to be distributed outside your agency.

Party Name and Address	Political Club Date	Mail per Family Number(s)	Phone/Club Date
US-A- 4803694	07-02-69	None	
IP-A- 0889944	09-11-68	JP-A- 63274286 PS-A- 4914746	17-11-68 03-04-69
PS-A- 4302774	24-11-61	OS-A- 3619968 TS-A- 3619969 OS-A- 7010960 FR-A, 2 2452154 FI-A, 2 2452153 FR-A, 2 2452222 GB-A, 2 2460553 GB-A, 2 2467061 GD-A, 2 2476862 US-A- 4385271	20-11-69 22-10-69 02-10-68 17-10-69 17-10-68 05-11-68 10-11-68 10-11-68 05-06-61
IP-A- 0804626	16-10-66	JP-A- 6177280 US-A- 4746993	06-12-66 24-05-68

